

Для выполнения пятой операции при сложении с плавающей запятой необходимо иметь логическую схему подсчета количества одинаковых старших разрядов. На фиг. 8.39 и 8.40 показаны схемы, предназначенные для решения этой задачи для случая 12-разрядного числа. Первая схема (фиг. 8.39) преобразует 11 входных разрядов в 10 выходных. Количество единичных выходов определяется количеством сдвигов влево, необходимых для нормализации входного числа. Вторая схема (фиг. 8.40) составлена из полных сумматоров и выполняет операцию подсчета количества единичных выходов первой схемы.

8.8. Пример: проектирование быстродействующего матричного умножителя

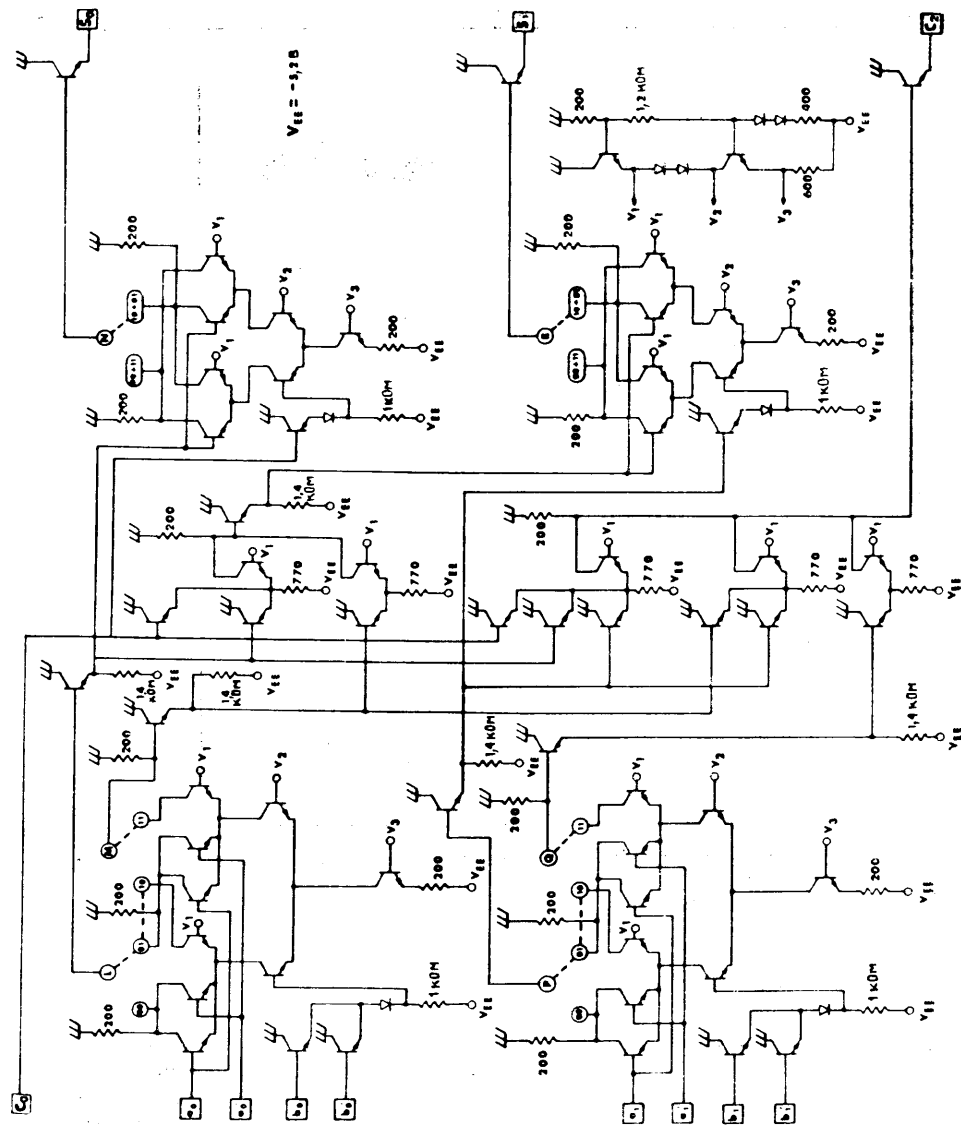
Серийно выпускаемые интегральные схемы рассчитаны на многоцелевое применение, поэтому построение на их основе цифровых систем, как правило, малоэффективно. В связи с этим целесообразно рассмотреть практический пример разработки специализированных микросхем, в которых были бы учтены конкретные требования проектируемой системы. Это позволит также проследить доказанную на фиг. 8.4 иерархию принципиальных схем, логических функций, микросхем и систем.

Рассмотрим построение быстродействующего умножителя. В разд. 8.6 было показано, что из известных схем наибольшее быстродействие обеспечивают матричные структуры, причем среди них самой быстродействующей является схема, изображенная на фиг. 8.35. Отметим, однако, что она содержит три различные логические ячейки, так что приходится разрабатывать три различные микросхемы в разном оформлении. Эту трудность удалось преодолеть, разработав одну микросхему, из которой все три модификации получаются путем незначительного изменения межсоединений. Кроме того, в кристалле были использованы два соединительных металлизированных слоя, причем для изменения межсоединений модифицировался только верхний слой.

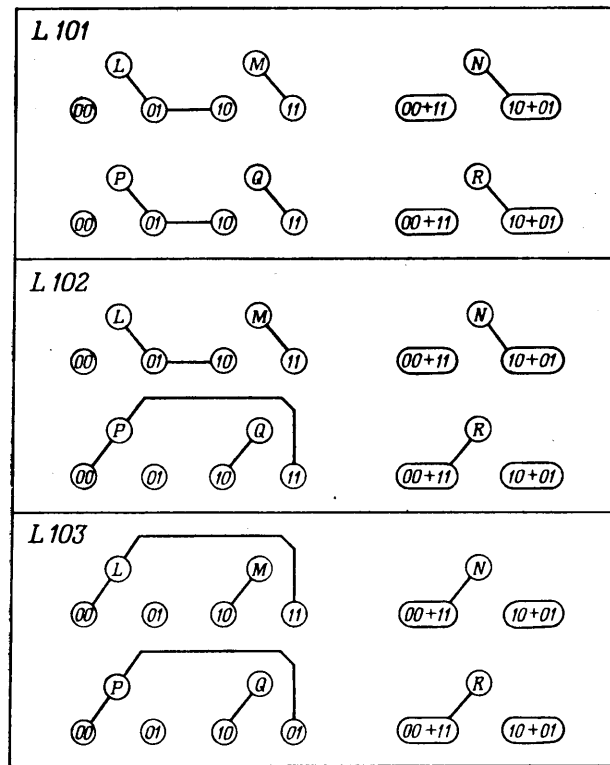
В качестве основной микросхемы был принят двухразрядный сумматор. Наиболее важным параметром сумматора в системах рассматриваемого типа является задержка распространения переноса через два разряда. Поэтому при разработке микросхемы особое внимание было уделено минимизации этого параметра.

После того как сформулированы требования к интегральной схеме, ее разработка производится в следующей последовательности:

1. Составление принципиальной схемы.
2. Разработка трафаретов.
3. Изготовление и испытание ИС.



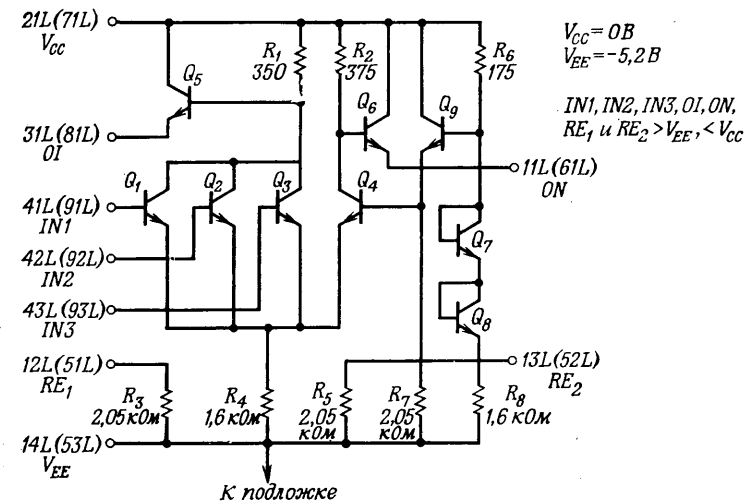
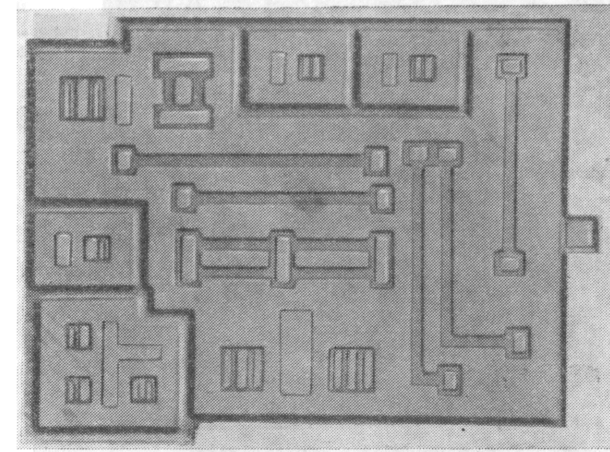
Фиг. 8.41. Схема двухразрядного сумматора L101 (по Пезарису).



Фиг. 8.42. Изменения межсоединений во втором слое металлизации, требуемые для перехода от основного двухразрядного сумматора к модификациям L101, L102 и L103 (по Пезарису).

Полная принципиальная схема двухразрядного сумматора показана на фиг. 8.41. Читателю нет необходимости детально разбираться в схеме, однако следует обратить внимание на пунктирные линии, а также на фиг. 8.42, где показано, как одна и та же схема преобразуется в три модификации (L101, L102 и L103) двухразрядного сумматора, которые необходимы для построения матрицы, приведенной на фиг. 8.35. С точки зрения изготовления важно, что все изменения межсоединений производятся только на втором металлизированном слое.

Трафареты для всех трех ИС изготавливались вручную, так как машинные методы изготовления трафаретов тогда еще не обладали достаточной гибкостью. Здесь уместно сделать несколько замечаний по поводу изготовления трафаретов. Качество изготовления ИС зависит от того, насколько идентичны рисунок слоя



Фиг. 8.43. Принципиальная схема и общий вид ЭСЛ-кристалла (по Пезарису).

кристалла и его фотография, причем при переходе от принципиальной схемы к рисунку слоев весьма существенную помощь может оказать вычислительная машина. В качестве примера на фиг. 8.43 показан увеличенный кристалл ИС ЭСЛ, ниже которого изображена его принципиальная схема. Здесь видны области,

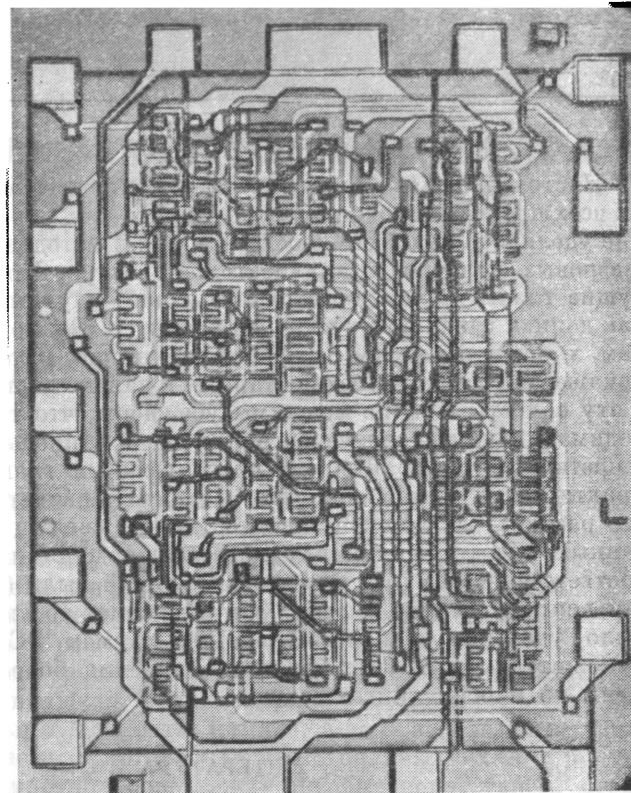


Фиг. 8.44. Изготовление маски с помощью ЦВМ типа ТХ-2 и соответствующей программы, взаимодействующей с графическим терминалом.

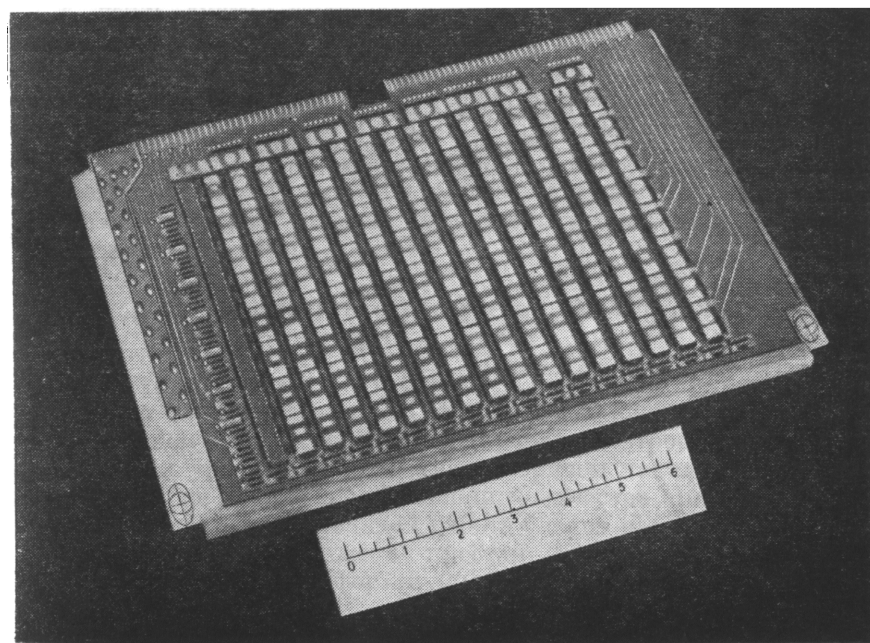
соответствующие транзисторам и резисторам. Например, в левом нижнем углу расположены три транзистора Q_1 , Q_2 и Q_3 и вывод их общего коллектора. Резисторам соответствуют длинные дорожки, заканчивающиеся выводами.

Фиг. 8.44 иллюстрирует процесс взаимодействия с машиной, позволяющий изготовить очень точный рисунок. С него может быть получена фотография, используемая в дальнейшем в качестве маски для различных диффузионных процессов. На фиг. 8.45 показан кристалл L101. Наконец, на фиг. 8.46 приведена фотография полного матричного умножителя размером 17×17 , использующего специально разработанные интегральные схемы и выполненного на обычной четырехслойной печатной плате. Время умножения равно 40 нс.

Фиг. 8.45. Матричный умножитель на кристалле L101 (по Пезарису).



Фиг. 8.46. Матричный умножитель размером 17×17 разрядов с быстродействием 40 нс (по Пезарису).



8.9. Заключение

Настоящая глава по своему содержанию несколько отличается от всех предшествующих глав книги. До сих пор основное внимание уделялось изложению основ теории и методов проектирования цифровых фильтров и анализаторов спектра. Кроме того, предыдущие главы имеют достаточно высокий научный уровень, тогда как данная глава носит вводный характер. Возможно, что инженерам, хорошо знакомым с цифровой техникой, материал этой главы покажется достаточно элементарным и далеко не полным введением в эту область. Тем не менее мы убеждены, что такая глава необходима в качестве связующего звена между предыдущими главами теоретического характера и последующими главами, имеющими практическую направленность. Наш опыт свидетельствует о том, что разработчик должен быть достаточно сведущ в вопросах, связанных с достижением высокого быстродействия, однако найти соответствующую публикацию, в которой были бы изложены все эти вопросы, мы не смогли. Это объясняет то внимание, которое было уделено здесь интегральным схемам ЭСЛ и матричным умножителям. Другие методы умножения более подробно изложены во многих книгах.

ЛИТЕРАТУРА

1. Garret L. S., Integrated Circuit Digital Logic Families, Parts I—III, *IEEE Spectrum* (Oct.— Dec. 1970).
2. Hnatek E. R., A User's Handbook of Integrated Circuits, Wiley, N.Y., 1973.
3. MECL Integrated Circuits Data Book, Motorola, Nov. 1972.
4. MECL System Design Handbook, Motorola, Oct. 1971.
5. Pezaris S., A 40 Nanosecond 17×17 Array Multiplier, *IEEE Trans. on Computers*, C-20, 442—447, No. 4 (April 1971).
6. Blankenship P., Gold B., McHugh P., Weinstein C., Design Study of the Advanced Signal Processor, Lincoln Lab. Technical Note, April 1972.

СПЕЦИАЛИЗИРОВАННЫЕ УСТРОЙСТВА ДЛЯ ЦИФРОВОЙ ФИЛЬТРАЦИИ И ГЕНЕРАЦИИ СИГНАЛОВ

9.1. Введение

В предыдущих главах основное внимание уделялось программной реализации алгоритмов цифровой обработки сигналов. В данной, а также в двух последующих главах будут рассмотрены специализированные цифровые устройства, предназначенные для ускоренного выполнения алгоритмов обработки и для построения систем обработки в реальном масштабе времени.

Выше уже были рассмотрены основные составные части цифровых устройств, включая цепи задержки, сумматоры, умножители, универсальные элементы памяти, а также различные типы серийно выпускаемых логических интегральных схем; проанализировано соотношение между их быстродействием, стоимостью и потребляемой мощностью. Важную роль в достижении максимума отношения качества системы к ее стоимости играют методы распараллеливания, временного разделения и поточной обработки. Прежде всего в данной главе будут рассмотрены различные способы построения цифровых фильтров, в том числе прямая и каскадная формы КИХ-фильтров, прямая, каскадная и параллельная формы БИХ-фильтров. После этого будет приведено несколько практических примеров построения цифровых специализированных систем, включая реализацию цифровых фильтров. В заключение будут описаны цифровой синтезатор частот и цифровой генератор шума.

9.2. Аппаратурное построение КИХ-фильтра прямой формы

Рассмотрим способы построения КИХ-фильтра прямой формы, схематично изображенного на фиг. 9.1. Найдем прежде всего основную схему управления, пригодную для построения фильтров с различным уровнем параллелизма, причем параллелизм будет заключаться не только в увеличении количества арифметических устройств, но и в параллельной работе блоков памяти.

На фиг. 9.2 изображена простая блок-схема построения КИХ-фильтра прямой формы (см. фиг. 9.1) из единственного